

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant: Brintzinger, et al. Attorney Docket: 2002 P 12364 US  
Filed: Herewith Examiner: TBD  
Serial No.: TBD Art Unit: TBD  
For: Method for Improving the Mechanical Properties of BOC Module Arrangements

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**Transmittal of Certified Copy of Priority Document**

Dear Sir:

Attached please find a certified copy of the foreign application from which priority is claimed for this case:

Country: Germany  
Application Number: 103 18 074.5  
Filing Date: April 17, 2003

Respectfully submitted,



Ira S. Matsil  
Reg. No. 35,272  
Attorney for Applicants

Slater & Matsil, L.L.P.  
17950 Preston Rd., Suite 1000  
Dallas, TX 75252  
Tel: 972-732-1001  
Fax: 972-732-9218

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 103 18 074.5

**Anmeldetag:** 17. April 2003

**Anmelder/Inhaber:** Infineon Technologies AG, 81669 München/DE

**Bezeichnung:** Verfahren zur Verbesserung der mechanischen Eigenschaften von BOC Modul Anordnungen

**IPC:** H 01 L 21/60

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 24. März 2004  
Deutsches Patent- und Markenamt  
Der Präsident

Im Auftrag

Ebert

5 **Verfahren zur Verbesserung der mechanischen Eigenschaften  
von BOC Modul Anordnungen**

**Zusammenfassung**

10 Die Erfindung betrifft ein Verfahren zur Verbesserung der mechanischen Eigenschaften von BOC Modul Anordnungen, bei denen Chips 3-D Strukturen (2), Solder Balls,  $\mu$ -Springs oder Soft-bumps aufweisen, die mittels Lötverbindungen mit Anschlusskontakten auf einer gedruckten Leiterplatte bzw. Zwischenträger  
15 mechanisch und elektrisch verbunden sind. Durch die Erfindung soll eine BOC Modul Anordnung geschaffen werden, welche die Nachteile des Standes der Technik vermeidet und mit der bei einer Massenproduktion Kostenvorteile erreicht werden können. Erreicht wird dies dadurch, dass die Wafer (1) oder die Chips  
20 nach deren Vereinzelung und vor deren Montage auf der Leiterplatte derart mit einer Vergussmasse (5) versehen werden, dass die Spitzen der 3-D Strukturen (2) aus dieser herausragen. Die Vergussmasse (5) weist elastische und mechanische Eigenschaften auf, die mit denen von Silizium vergleichbar sind. Weiterhin  
25 wird die Schichtstärke der Vergussmasse (5) nach dem Auftragen auf dem Wafer (1) so weit verringert wird, bis die Spitzen der 3-D Strukturen (2) aus der Vergussmasse (5) herausragen.  
(Fig. 3)

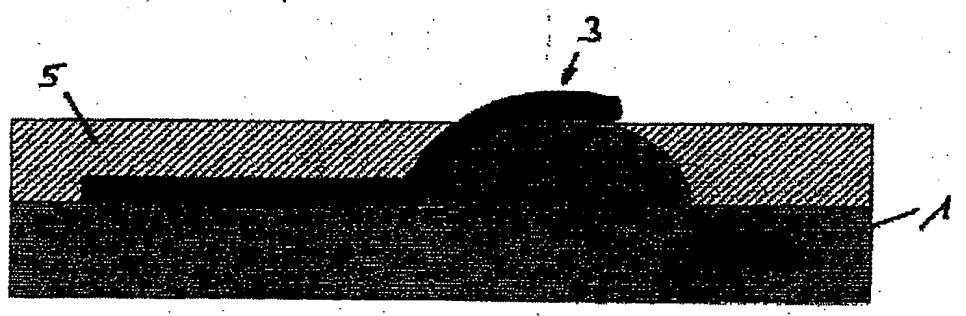


Fig. 3

**BEST AVAILABLE COPY**

5 **Verfahren zur Verbesserung der mechanischen Eigenschaften  
von BOC Modul Anordnungen**

Die Erfindung betrifft ein Verfahren zur Verbesserung der mechanischen Eigenschaften von BOC Modul Anordnungen, bei denen 10 Chips 3-D Strukturen, Solder Balls,  $\mu$ -Springs oder Softbumps aufweisen, die mittels Lötverbindungen mit Anschlusskontakten auf einer gedruckten Leiterplatte bzw. Zwischenträger mechanisch und elektrisch verbunden sind.

15 Derartige BOC Modul Anordnungen werden durch einen Montageprozess hergestellt, bei dem zunächst Bond Pads (Kontaktflächen) auf der aktiven Seite eines Chips entweder direkt mit Lotkügelchen (Solder Balls) oder anderen 3-dimensionale (3-D) Strukturen aus einem Lotmaterial, oder zumindest ein Lotmaterial enthaltenden Strukturen o.dgl., z.B. durch Drucken oder Dispensen, versehen worden sind. Anschließend wird das Chip face down über 20 den Anschlusskontakten auf einer gedruckten Leiterplatte (PCB) positioniert und nachfolgend unter Wärmeeinwirkung durch Löten befestigt. Bei diesem vorgang erfolgt eine elektrische und 25 zugleich mechanische Verbindung zwischen dem Chip und der Leiterplatte.

Bei solchen BOC Modul Anordnungen hat es sich jedoch als 30 nachteilig erwiesen, dass zwischen den unterschiedlichen Materialien des Chips und der gedruckten Leiterplatte im normalen Betrieb erhebliche mechanische Spannungen, verursacht durch die unterschiedlichen Ausdehnungskoeffizienten des Chips und der gedruckten Leiterplatte, auftreten können. Diese thermische 35 Fehlanpassung kann im Langzeitbetrieb zum Ausfall der BOC Modul Anordnung führen, indem beispielsweise eine oder mehrere der

Lötverbindungen durch mechanische Überbeanspruchung reißen. Die Folge ist in der Regel dann ein Totalausfall des Bauelementes.

Um einen derartigen Stress durch eine thermische Fehlanpassung 5 zu beseitigen oder zumindest zu minimieren, wurde ein gut fließfähiger Underfiller eingesetzt, der nach der Montage des Chips auf der Leiterplatte durch Kapillarwirkung zwischen Chip und Leiterplatte eingebracht worden ist.

10 Der besondere Nachteil bei der Verwendung eines solchen Underfillers ist darin zu sehen, dass zunächst die Montage des Chips auf der Leiterplatte erfolgen muss und erst danach der Underfiller eingebracht werden kann. Das bedeutet, dass jedes einzelne Chip nach dessen Montage durch den Underfiller stabilisiert werden muss. Daraus resultiert aber auch, dass das Einbringen des Underfillers eine sehr aufwändige Prozedur ist, weil jede BOC Anordnung einzeln nachgebessert werden muss. Außerdem ist es schwierig, den Underfiller gleichmäßig einzubringen.

15

20 Verschärft werden die Probleme der mechanischen Festigkeit der Verbindung zwischen dem Chip und der Leiterplatte, wenn anstelle der relativ starren Solder Balls aus einem Lotmaterial sogenannte Soft Solder Balls aus einem Gemisch aus einem organischen Material und einem Lotmaterial, oder sogar 3-dimensionale nachgiebige Elemente als elektrische und mechanische Verbindungselemente verwendet werden. Hier sind gleich mehrere Probleme zu berücksichtigen.

25

30 Die Soft Solder Balls besitzen naturgemäß eine geringere mechanische Festigkeit, so dass die Verbindung zwischen dem Chip und der Leiterplatte schon aus diesem Grund weniger fest ist. Noch problematischer wird es bei der Verwendung von nachgiebigen 3-D Elementen. Hier ist eine nachträgliche Erhöhung der mechanischen Festigkeit der Verbindung zwischen dem Chip und der Lei-

35

terplatte besonders wichtig, weil die nachgiebigen 3-D Elemente aus einem nachgiebigen Basiselement bestehen, auf dem dann eine elektrisch leitfähige Struktur aus Metall aufgebracht ist. Hier kann die elektrisch leitfähige Struktur (Reroute Layer / Umverdrahtung) überhaupt keine mechanischen Kräfte übertragen.

Der Erfindung liegt nunmehr die Aufgabe zugrunde, eine BOC Modul Anordnung zu schaffen, welche die Nachteile des Standes der Technik vermeidet und mit der bei einer Massenproduktion Kostenvorteile erreicht werden können.

Die der Erfindung zugrundeliegende Aufgabenstellung wird bei einem Verfahren der eingangs genannten Art dadurch gelöst, dass der Wafer oder die Chips nach deren Vereinzelung und vor deren Montage auf der Leiterplatte derart mit einer Vergussmasse versehen werden, dass die Spitzen der 3-D Strukturen aus dieser herausragen.

Diese auf das Chip aufgetragene Vergussmasse ersetzt den bisher nachträglich nach der Montage der Chips auf einem Chipträger eingebrachten Underfiller vollständig, wodurch mit einfacheren Mitteln eine schnellere Montage der Chips ermöglicht und gleichzeitig ein ausreichender Schutz der 3-D Strukturen erreicht wird.

Wird die Vergussmasse vor dem Vereinzen der Chips auf das gesamte Wafer flächig aufgetragen, so lassen sich gegenüber der Einzelbeschichtung der Chips weitere Zeit- und Kostenvorteile erreichen.

Die Vergussmasse kann vorteilhaft durch Sprühen, Dispensen oder Drucken gleichmäßig aufgetragen werden.

Um durch Temperatureinflüssen bewirkte mechanische Spannungen weitgehend zu reduzieren, sollte die Vergussmasse elastische

und mechanische Eigenschaften aufweisen, die mit denen von Silizium vergleichbar sind.

So kann als Vergussmasse ein Silizium basiertes Material, oder  
5 ein thermoplastisches Material verwendet werden.

Auch ist als Vergussmasse ein Epoxydharz geeignet.

Wesentlich für die Auswahl des Materials ist allerdings, dass  
10 dieses eine hinreichend gute Fließfähigkeit aufweist.

In einer Variante der Erfindung kann die Beschichtung des Wafers in zwei Schritten erfolgen. Zunächst wird die Vergussmasse  
in einer Schichtstärke auf das gesamte Wafer aufgetragen, dass  
15 auch die 3-D Strukturen bedeckt sind und anschließend wird die Schichtstärke der Vergussmasse so weit verringert, bis die Spitzen der 3-D Strukturen aus der Vergussmasse herausragen.

Die Verringerung der Schichtstärke der Vergussmasse kann einfach durch thermisches Abtragen (Ashing Step), oder durch Ätzen  
20 verringert werden.

Da die Vereinzelung der Chips aus dem Waferverbund durch die Beschichtung mit der Vergussmasse erschwert wird, ist es zweckmäßig, dass die Vereinzelungskorridore zwischen den Chips vor  
25 der Vereinzelung derselben freigelegt werden.

Das Freilegen der Vereinzelungskorridore kann einfach mittels üblicher fotolithografischer Verfahren, oder auch durch Laserstrahlbearbeitung erfolgen.

In einer besonderen Variante der Erfindung wird das Wafer vor dem Zerteilen (Dicing) so weit gekühlt, bis die Vergussmasse  
35 hinreichend spröde ist. So dass das vereinzeln wie üblich problemlos vorgenommen werden kann.

Die Erfindung soll nachfolgend an einem Ausführungsbeispiel näher erläutert werden. In den zugehörigen Zeichnungsfiguren zeigen:

5

Fig. 1: einen Ausschnitt aus einem Wafer mit einem 3-D Element und einer Redistribution Layer (Umverdrahtung);

10

Fig. 2: das Wafer nach Fig. 1, das mit einer Vergussmasse versehen worden ist, die das 3-D Element einschließt; und

15

Fig. 3: das beschichtete Wafer nach den Freilegen der Kontaktfläche des 3-D Elementes.

20

Fig. 1 zeigt einen Ausschnitt aus einem Wafer 1, auf dem ein nachgiebige 3-D Struktur 2 angeordnet ist, das eine Kontaktfläche 3 auf dessen Spitze aufweist, die Bestandteil einer Redistribution Layer 4 ist, welche die Kontaktfläche 3 mit einem Anschlusselement (nicht dargestellt) des Wafers 1 elektrisch verbindet. An Stelle der nachgiebigen 3-D Strukturen kann das Wafer 1 auch mit Solder Balls,  $\mu$ -Springs oder Softbumps versehen sein. In jedem Fall erfolgt aber die mechanische und elektrische Verbindung mit einem Trägerelement durch Lötverbindungen zwischen den Anschlusskontakten auf einer gedruckten Leiterplatte bzw. einem Zwischenträger.

25

Um die mechanische Stabilität des fertiggestellten Bauelementes (z.B. einem BOC Bauelement) zu verbessern, wird das Wafer 1 vor deren Vereinzelung in einzelne Chips mit einer Vergussmasse 5 versehen. Die Beschichtung kann dabei derart erfolgen, dass die Spitzen der 3-D Strukturen 2 nach der Beschichtung mit der Vergussmasse 5 aus dieser herausragen, oder indem die Spitzen der 3-D Strukturen 2 nachträglich freigelegt werden.

30

35

Grundsätzlich ist es selbstverständlich auch möglich, die Vergussmasse 5 nach dem Vereinzeln der Chips aus dem Wafer 1 aufzutragen. Allerdings ist die Einzelbeschichtung der vereinzelten Chips deutlich aufwändiger, als die Beschichtung des gesamten Wafers.

Die Vergussmasse 5 kann vorteilhaft durch Sprühen, Dispensen oder Drucken gleichmäßig aufgetragen werden.

Um durch Temperatureinflüssen bewirkte mechanische Spannungen weitgehend zu reduzieren, sollte die Vergussmasse 5 mechanische Eigenschaften aufweisen, die mit denen von Silizium vergleichbar sind. So kann als Vergussmasse 5 vorteilhaft ein Silizium basiertes Material, oder auch ein thermoplastisches Material, oder Epoxydharz verwendet werden.

wesentlich für die Auswahl des Materials ist allerdings, dass dieses eine hinreichend gute Fließfähigkeit aufweist.

Die Beschichtung des Wafers 1 kann auch in zwei Schritten vorgenommen werden, indem zunächst die Vergussmasse 5 in einer solchen Schichtstärke auf das gesamte Wafer 1 aufgetragen wird, dass auch die 3-D Strukturen 2 vollständig bedeckt werden und anschließend die Schichtstärke der Vergussmasse 5 so weit verringert wird, bis die Spitzen der 3-D Strukturen 2 aus dieser herausragen.

Die Verringerung der Schichtstärke der Vergussmasse 5 kann einfach durch thermisches Abtragen (Ashing Step), oder durch Ätzen vorgenommen werden.

Da die Vereinzelung der Chips aus dem Waferverbund durch die Beschichtung mit der Vergussmasse 5 erschwert wird, ist es zweckmäßig, dass die Vereinzelungskorridore zwischen den Chips vor der Vereinzelung derselben aus dem Wafer 1 freigelegt wer-

den. Das mittels üblicher fotolithografischer Verfahren, oder auch durch Laserstrahlbearbeitung erfolgen.

Werden die Wafer 1 durch Laserbearbeitung vereinzelt, kann das 5 vorhergehende Freilegen der Vereinzelungskorridore entfallen.

Wird als Vergussmasse 5 ein bei tieferen Temperaturen versprödendes Material verwendet, so kann das Wafer 1 vor dem Zerteilen (Dicing) so weit gekühlt werden, bis die Vergussmasse hinreichend spröde ist. Anschließend kann das Vereinzen wie üblich problemlos vorgenommen werden. 10

5 **Verfahren zur Verbesserung der mechanischen Eigenschaften  
von BOC Modul Anordnungen**

**Bezugzeichenliste**

10 1 Wafer  
2 3-D Struktur  
3 Kontaktfläche  
4 Redistribution Layer  
5 Vergussmasse

15

5 **Verfahren zur Verbesserung der mechanischen Eigenschaften  
von BOC Modul Anordnungen**

**Patentansprüche**

10 1. Verfahren zur Verbesserung der mechanischen Eigenschaften  
von BOC Modul Anordnungen, bei denen Chips nachgiebige 3-D  
Strukturen, Solder Balls,  $\mu$ -Springs oder Softbumps aufweisen,  
die mittels Lötverbindungen mit Anschlusskontakten auf einer  
gedruckten Leiterplatte bzw. Zwischenträger mechanisch und e-  
15 lektrisch verbunden sind, dadurch  
gekennzeichnet, dass der Wafer (1) oder die Chips  
nach deren Vereinzelung und vor deren Montage auf der Leiter-  
platte derart mit einer Vergussmasse (5) versehen werden, dass  
die Spitzen der 3-D Strukturen (2) aus dieser herausragen.

20 2. Verfahren nach Anspruch 1, dadurch  
gekennzeichnet, dass die Vergussmasse vor dem Ver-  
einzeln der Chips auf das Wafer aufgetragen wird.

25 3. Verfahren nach Anspruch 1 oder 2, dadurch  
gekennzeichnet, dass die Vergussmasse durch Sprü-  
hen, Dispensen oder Drucken gleichmäßig aufgetragen wird.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch  
30 gekennzeichnet, dass die Vergussmasse elastische  
und mechanische Eigenschaften aufweist, die mit denen von Sili-  
zium vergleichbar sind.

5. Verfahren nach Anspruch 4, dadurch  
35 gekennzeichnet, dass als Vergussmasse ein Silizium

AC

basiertes Material verwendet wird.

6. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass als Vergussmasse ein thermoplastisches Material verwendet wird.

7. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass als Vergussmasse ein Epoxidharz verwendet wird.

10 8. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Schichtstärke der Vergussmasse nach dem Auftragen auf dem Wafer so weit verringert wird, bis die Spitzen der 3-D Strukturen aus der Vergussmasse herausragen.

15 9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass die Schichtstärke der Vergussmasse durch thermisches Abtragen (Ashing Step) verringert wird.

20 10. Verfahren nach Anspruch 8, dadurch gekennzeichnet, dass die Schichtstärke der Vergussmasse durch Ätzen verringert wird.

25 11. Verfahren nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, dass die Vereinzelungskorridore zwischen den Chips vor der Vereinzelung der selben freigelegt werden.

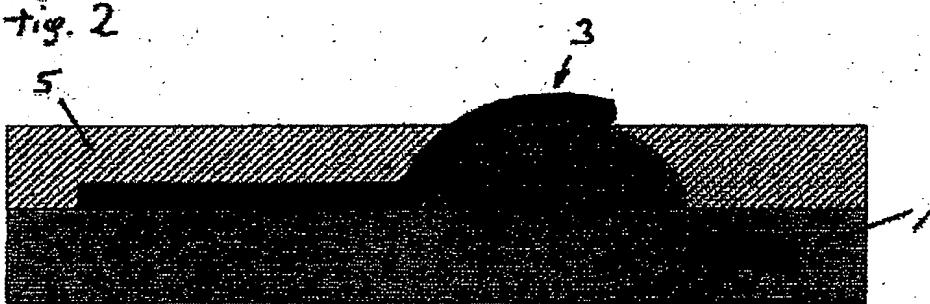
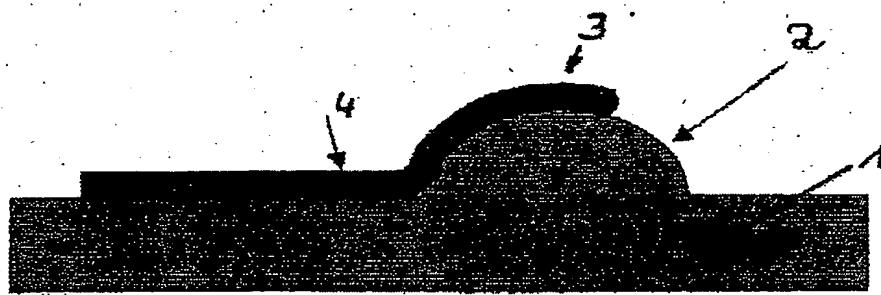
30 12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass das Freilegen der Vereinzelungskorridore mittels fotolithografischer Verfahren erfolgt.

35 13. Verfahren nach Anspruch 11, dadurch

11

gekennzeichnet, dass das freilegen der Vereinzelungskorridore durch Laserstrahlbearbeitung erfolgt.

14. Verfahren nach einem der Ansprüche 1 bis 10, dadurch  
5 gekennzeichnet, dass das Wafer vor dem Zerteilen  
(Dicing) so weit gekühlt wird, bis die Vergussmasse hinreichend  
spröde ist.



**BEST AVAILABLE COPY**